

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-331473

(P2000-331473A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷

識別記号

F I

特許庁 (参考)

G 1 1 C 11/15

G 1 1 C 11/15

11/14

11/14

A

H 0 1 L 43/08

H 0 1 L 43/08

Z



審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願2000-72579 (P2000-72579)

(22) 出願日 平成12年3月15日 (2000. 3. 15)

(31) 優先権主張番号 特願平11-68325

(32) 優先日 平成11年3月15日 (1999. 3. 15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社京芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中 島 健太郎

神奈川県川崎市幸区小向東芝町1 株式会
社京芝研究開発センター内

(72) 発明者 猪 俣 浩一郎

神奈川県川崎市幸区小向東芝町1 株式会
社京芝研究開発センター内

(74) 代理人 100064285

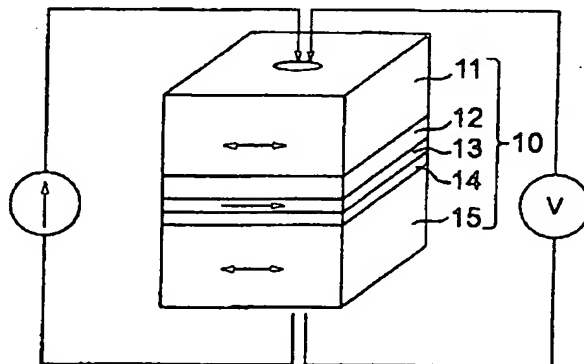
弁護士 佐藤 一雄 (外3名)

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】 容量を可及的に大きくするとともに、高速かつ低消費電力化を実現することを可能にする。

【解決手段】 強磁性導電層11、13、15とトンネルバリア層12、14とが交互に積層された強磁性多重トンネル接合を有する素子10を各々が有する複数のメモリセルと、強磁性多重トンネル接合に磁界を印加する磁界印加手段と、を備え、強磁性多重トンネル接合を構成する複数の強磁性導電層のうち、少なくとも3つの強磁性導電層が各々異なる保持力を有しており、これらの3つの強磁性導電層の磁化方向が磁界印加手段により独立に反転可能なように構成されている。



1 億 7 千万 9 千 7 百 2 十 5

【特許請求の範囲】

【請求項1】強磁性導電層とトンネルバリア層とが交互に積層された強磁性多重トンネル接合を有する素子を各々が有する複数のメモリセルと、

前記強磁性多重トンネル接合に磁界を印加する磁界印加手段と、

を備え、前記強磁性多重トンネル接合を構成する複数の強磁性導電層のうち、少なくとも3つの強磁性導電層が各々異なる保持力を有しており、これらの3つの強磁性導電層のうち、少なくとも2つの強磁性導電層の磁化方向が前記磁界印加手段により独立に反転可能なように構成されていることを特徴とする磁気メモリ装置。

【請求項2】強磁性導電層とトンネルバリア層とが交互に積層された強磁性多重トンネル接合を有する素子を各々が有する複数のメモリセルと、

前記強磁性多重トンネル接合に磁界を印加する磁界印加手段と、

を備え、前記強磁性多重トンネル接合は、この強磁性多重トンネル接合を構成する複数の強磁性導電層の磁化配列に応じて少なくとも4個以上の異なる抵抗値を有することを特徴とする磁気メモリ装置。

【請求項3】前記強磁性多重トンネル接合を構成する複数のトンネルバリア層のうち、少なくとも2つのトンネルバリア層が、異なるトンネルコンダクタンスを有していることを特徴とする請求項1または2記載の磁気メモリ装置。

【請求項4】前記強磁性多重トンネル接合を構成する複数の強磁性導電層のうち、少なくとも1つの強磁性導電層が他の強磁性導電層とは、形状または接合面積が異なるように構成されていることを特徴とする請求項1乃至3のいずれかに記載の磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強磁性多重トンネル接合を利用した多値記憶可能な磁気メモリ装置に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ（以下MRAMともいう）とは、情報の記録担体として強磁性体の磁化方向を利用した、記録情報を随時、書き換え、保持、読み出すことができる固体メモリの総称である。

【0003】MRAMセルは、メモリセルを構成する強磁性体の磁化方向が、ある基準方向に対して平行か、反平行であるかを2進の情報“1”“0”に対応させて情報を記録する。記録情報の書き込みは、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界によって反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。記録情報の読み出しは、メモ

リセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、または複数の強磁性層間の磁化の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。

【0004】MRAMは、従来の誘電体を用いた半導体メモリとその機能を比較すると、（1）完全な不揮発性であり、また1015回以上の書き換え回数が可能であること。（2）非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること。（3）電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強いこと、等の多くの利点を有している。MRAMの単位面積あたりの集積度、書き込み、読み出し時間は、おおむねDRAMと同程度となりうることが予想される。従って不揮発性という大きな特色を生かし、携帯型デジタルオーディオ機器用の外部記録装置、さらにはモバイルPC用の主記憶メモリへの応用が期待されている。

【0005】しかしながら現在実用化されている記録容量4kb程度のMRAMでは、セル記録情報の読み出しに、異方性磁気抵抗効果（Anisotropic Magnetoresistance：以下AMR効果と略記）を用いている。（例えばFerroelectrics, 116, 175（1991）参照）AMR効果による抵抗変化率は2%前後であり、さらに電流磁界を用いた記録情報読み出し時に実効的に得られる抵抗変化率は、その20～30%程度である。従って、数十mAのセンス電流に対するセル読み出し電圧は数百 μ Vとなり、対ノイズ比を向上させるためには、様々な補償回路が必要となる。従って、補償回路駆動のため数 μ s～数十 μ s程度のサイクルタイムしか得られないだけでなく、セル集積度を向上させることが難しいという欠点があった。

【0006】この点を解決するために、記録情報読み出しに、巨大磁気抵抗効果（Giant Magnetoresistance：以下GMR効果と略記）を用いようとする取り組みがなされている。GMR効果の場合、セルには複数の強磁性層が存在し、セルの抵抗値は各強磁性層の磁化の相対角に依存して変化する。GMR効果を示す素子（以下GMR素子と略記）を用いたMRAMセルとしては、Pseudo Spin-Valve構造（例えばIEEE Trans. Mag., 33, 3289（1997）参照）、反強磁性層間結合を有する三層膜を用いたもの（例えばIEEE Trans. Comp. Pac. Manu. Tech. pt. A, 17, 373（1994）参照）、また硬質磁性体をピン止め層に用いたSpin-Valve構造を有するもの（例えばIEEE Trans. Mag. 33, 3295（1997）参照）が知られている。

【0007】現在GMR素子として多く用いられている非結合金NiFe/Cu/Coからなる三層膜のGMR

効果の値は、概ね6~8%程度である。例えば前述のPseudo Spin-Valve構造を用いたMRAMセルでは、記録情報読み出し時の磁化分布を制御することにより、実効的に5%以上の抵抗変化率を実現している。これは、AMR効果を用いた場合に比べ10倍程度大きな値である。

【0008】しかしながら一般にGMR素子のシート抵抗は数十 Ω /□程度である。したがって5%の抵抗変化率を仮定した場合でも、数十mAのセンス電流に対するセル読み出し信号は、数mV程度である。これに対し、例えばセル駆動用のトランジスタにおける電圧降下は、セルサイズの微細化とともに上昇し、0.25 μ mルールでは数百mVに達する。すなわち、トランジスタの抵抗値に10%のばらつきが存在すると、それにより数十mVのノイズが現れる。すなわち現在得られているGMR素子の抵抗変化率、及びシート抵抗値では、セル読み出し信号が小さいため、今後一層の高集積化を図った場合にメモリとして安定した動作が難しいという問題を有している。

【0009】この点を解決するため、GMR効果に代わり、強磁性トンネル効果(Tunnel Magnetoresistance; 以下TMR効果と略記)を応用しようとする提案がなされている。TMR効果を示す素子(以下TMR素子と略記)は、主として第1強磁性層/絶縁層/第2強磁性層からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。トンネル抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。例えば第1強磁性層がNiFe/Coからなっており、絶縁層がAl₂O₃からなっており、第2強磁性層がCo/NiFeからなるトンネル接合では、500e以下の低磁界において25%を越える抵抗変化率が見いだされている。(IEEE Trans. Mag., 33, 3553 (1997) 参照) すなわち、TMR素子は、GMR素子に比べより大きな抵抗変化率を有するという利点を持つ。さらに、TMR素子においては、電流は絶縁層をトンネルして流れるため、GMR素子に比べ高いセル抵抗が得られる。したがってより小さなセンス電流にしておいても、より大きなセル読み出し信号が得られるという利点を有している。

【0010】現在、TMR素子を用いたMRAMセルの構造としては、一つのTMR素子に一つのトランジスタを配置したもの、複数のTMR素子を一行に並列に接続したもの、また複数のTMR素子をマトリクス上に配置し、行、列毎に選択トランジスタを配置したもの(例えばJ. Appl. Phys., 81, 3758 (1997) 参照)が提案されている。これらの構造は、単純にその1セルの面積を比較しても、誘電体キャパシタを用いたダイナミックランダムアクセスメモリ(以下DRAMと略記)と同程度の集積度が可能である。また、抵

抗変化率30%以上、セル抵抗10k Ω 程度を仮定すると、概ねDRAMと同程度の信号-ノイズ比が得られる。このような抵抗変化率、セル抵抗のスペックは、材料的には達成できる範囲内である。

【0011】しかしながら、今後より一層の高集積化を進める上では、TMR素子を用いたMRAMにも多くの問題点が存在する。その一つは、トンネル接合面積の減少に伴うセル抵抗増大の問題である。セル抵抗の増大は、配線間浮遊容量を通じて信号遅延時間の増加にもつながる。もう一つは微細構造磁性体に特有な不均一磁化分布の問題である。すなわち、サブミクロンサイズの強磁性体を膜面内に磁化した場合、その膜面内の磁化状態が膜の形状に依存して不均一となると問題が生じる。例えば端面に生じる磁極により自己減磁が生じ、膜端面部分の磁化方向が中心部のそれとは異なる、いわゆるエッジドメインが発生することが知られている(J. Appl. Phys., 81, 5471 (1997))。エッジドメインの存在は、(1)ヒステリシスの角形比の低下を招き、実効的な抵抗変化率の減少が生じる。(2)膜の磁化過程が不安定となり、膜の保磁力の上昇が生じる等の問題を引き起こす。特に保磁力の増大は、書き込み時の消費電力の増大につながり、好ましくない。この不均一磁化分布の問題は、強磁性体のサイズが減少することにより顕著になると予想される。

【0012】これらのメモリセルの微細化により生じる諸問題は、DRAM、フラッシュメモリ等半導体メモリが抱える課題と類似しており、生産コスト的な問題も含めると、セル構造の工夫、材料探索だけでは解決が困難であることが予想される。

【0013】

【発明が解決しようとする課題】上述のように、TMR素子をメモリセルに応用することにより、従来用いられているAMR効果、GMR効果を用いたメモリセルに比べセル読み出し信号を大きくすることができ、MRAMとして安定な動作を実現することが可能である。しかしながら、高集積化を目指したメモリセルの微細化により生じる諸問題は未解決なままであり、今後、DRAMと同程度の記録密度を得ようとして、メモリセルの加工寸法をさらに微細化させると、十分な信号-ノイズ比が得られないとともに素子の磁化状態の制御がより困難になるといった要因から、速度、消費電力等の性能劣化が生じると予想される。

【0014】本発明は上記事情を考慮してなされたものであって、可及的に大きな容量を有する高速、低消費電力の磁気メモリ装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明による磁気メモリ装置の第1の態様は、強磁性導電層とトンネルバリア層とが交互に積層された強磁性多重トンネル接合を有する素子を各々が有する複数のメモリセルと、前記強磁性多

重トンネル接合に磁界を印加する磁界印加手段と、を備え、前記強磁性多重トンネル接合を構成する複数の強磁性導電層のうち、少なくとも3つの強磁性導電層が各々異なる保持力を有しており、これらの3つの強磁性導電層のうち、少なくとも2つの強磁性導電層の磁化方向が前記磁界印加手段により独立に反転可能なように構成されていることを特徴とする。

【0016】また本発明による磁気メモリ装置の第2の態様は、強磁性導電層とトンネルバリア層とが交互に積層された強磁性多重トンネル接合を有する素子を各々が有する複数のメモリセルと、前記強磁性多重トンネル接合に磁界を印加する磁界印加手段と、を備え、前記強磁性多重トンネル接合は、この強磁性多重トンネル接合を構成する複数の強磁性導電層の磁化配列に応じて少なくとも4個以上の異なる抵抗値を有することを特徴とする。

【0017】なお、前記強磁性多重トンネル接合を構成する複数のトンネルバリア層のうち、少なくとも2つのトンネルバリア層が、異なるトンネルコンダクタンスを有していることが好ましい。

【0018】なお、前記強磁性多重トンネル接合を構成する複数の強磁性導電層のうち、少なくとも1つの強磁性導電層が他の強磁性導電層とは、形状または接合面積が異なるように構成されていることが好ましい。

【0019】本発明の構成によれば、一つの記憶セルに多値情報を記憶させることが可能となるため、強磁性多重トンネル接合の加工寸法を減少させることなく、高集積化を実現できる。従って、微細構造磁性体に特有な不均一磁化分布の問題を軽減することが可能となるため、同集積度の従来型のメモリと比較して、高速化、低消費電力化を図ることができる。

【0020】また、同集積度の従来型のメモリと比較して、接合部だけでなくトランジスタ部、およびデータ線、書き込み線等の配線部の加工寸法も大きく保つことが可能となる。従って、トランジスタ部、配線部での電圧降下を軽減させることができ、一層の低消費電力化を図ることが出来る。また、配線部断面積を大きく保つことが出来るため、エレクトロマイグレーションに起因する配線寿命を延ばすことが可能となり、一層の信頼性向上を図ることが出来る。

【0021】また、本発明の構成では、強磁性多重トンネル接合を用いているため、複数の単一接合を直列接続した構成に比べ、全体の膜厚を小さく抑えることが可能となる。従って、微細加工時における制御性が高く、製造がより容易となるという利点を有する。また、各強磁性導電層と書き込み線との距離を小さく保つことが可能となるため、より効率的に電流磁界を印加することが可能となり、一層の低消費電力化を図ることが出来る。

【0022】また強磁性多重トンネル接合においてトンネルバリア層に挟まれた中間強磁性導電層は、連続膜で

あっても良いし、また誘電体層中に不連続な微粒子が分散したいわゆるグラニュー膜であってもよい。中間強磁性導電層が十分に薄い連続膜である場合、また十分に小さな体積の微粒子である場合には、量子閉じこめ効果により層中に離散した電子スピンの向きに依存した離散準位が形成される。このようなスピン方向に依存した離散準位が形成されると、離散準位が存在しない場合に比べ大きな抵抗変化率が得られる。また中間強磁性導電層が不連続な微粒子の集合体からなり、個々の微粒子の体積が十分小さく、微粒子の帯電エネルギーが常温において観測可能な値となる場合には、いわゆるクーロンブロック効果により、抵抗変化率の増大が生じる。さらに微粒子中のスピン緩和時間が、トンネル時間に比べ十分長い場合には、微粒子中にスピン偏極した電子が非平衡的に蓄積されるスピン蓄積効果が生じる。スピン蓄積効果が生じると、抵抗変化率の増大が生じる。すなわち本発明では、記憶セルに強磁性多重トンネル接合を用いるため、上述の量子閉じこめ効果、クーロンブロック効果またスピン蓄積効果を積極的に利用してセル出力電圧の増大を図ることができ、より一層の高速化を図ることが出来る。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0024】（第1の実施の形態）本発明による磁気メモリ装置の第1の実施の形態を図1乃至図4を参照して説明する。図1は本実施の形態の磁気メモリ装置のメモリセルに用いられる強磁性多重トンネル接合素子10

（以下、多重TMR素子ともいう）の構造を模式的に示す図である。この多重TMR素子10は、上部強磁性層11と、上部絶縁層12と、中間強磁性層13と、下部絶縁層14と、下部強磁性層15とからなる積層膜で構成されている。中間強磁性層13は2つの薄い誘電体からなる上部絶縁層12、下部絶縁層14によって挟まれており、各絶縁層12、14を介して上部強磁性層11と中間強磁性層13との間および中間強磁性層13と下部強磁性層15との間にそれぞれトンネル電流が流れるように構成されている。すなわち各々がトンネルバリア層となる上部絶縁層12、下部絶縁層14を介して、上部強磁性層11、中間強磁性層13および下部強磁性層15の間に、二重のトンネル接合が形成されている。

【0025】中間強磁性層13が十分に薄い連続膜である場合、量子閉じこめ効果により中間強磁性層13に離散した電子スピンの向きに依存した離散準位が形成される。このようなスピン方向に依存した離散準位が形成されると、離散準位が存在しない場合に比べ大きな抵抗変化率が得られる。

【0026】次に本実施の形態の多重TMR素子10の製造方法について述べる。下部強磁性層15は膜厚6nmのFe膜と、膜厚3nmのCo₁Fe₁膜との2層膜

からなる。下部絶縁層14はAl酸化膜からなり、下部強磁性層12上に膜厚1.0nmのAl₂O₃膜を直接スパッタして形成される。次いで膜厚3nmのCo₈₀Pt₂₀合金膜からなる中間強磁性層13と、膜厚1.4nmのAl₂O₃スパッタ膜である上部絶縁層12が形成される。上部強磁性層11は膜6nmのCo₁Fe₁膜と膜厚12nmのNi₈₂Fe₁₈合金膜との2層膜からなる。下部強磁性層15と上部強磁性層11とで材質、膜厚が異なるのは、両者の保磁力差をより大きくするためである。成膜後、真空熱処理炉を用いて、5kOeの磁界中で1時間、300℃の磁界中熱処理を行った。熱処理の目的は、絶縁層中また絶縁層/強磁性層界面部分での酸素分布を安定化させるため、成膜時に生じる結晶歪みを解放し軟磁気特性を向上させるため、さらに膜に一軸異方性を付与し、急峻な磁化反転を実現させるためである。

【0027】各強磁性層に用いる材料としては、例えばパーマロイに代表されるFe-Ni合金、強磁性を示すFe、Ni、Co及びそれらを含む合金、NiMnSb、PtMnSb等のハーフメタル、CrO₂、マグネタイト等の酸化物ハーフメタル、アモルファス合金等の種々の軟磁性材料から、Co-Pt合金、Fe-Pt合金、遷移金属-希土類合金等の硬磁性材料まで、種々の強磁性材料を使用することができる。高い抵抗変化率を得るためには、伝導電子のスピン偏極度が高い材料を用いることが望ましい。例えばハーフメタルは一方のスピンバンドにエネルギーギャップが存在するので、一方のスピンを持つ電子しか伝導に寄与しない。従って、このような材料を各々の強磁性層に使用することで、より大きな磁気抵抗比を得ることができる。強磁性層の成膜は、スパッタ、真空蒸着、CVD等の公知の成膜技術によって実現できる。

【0028】各々の強磁性層は単層膜に限られるものではなく、本実施の形態のように複数層からなる構成を有していても良い。例えば上述のように各絶縁層に接する部分にスピン偏極度が高いCo₁Fe₁膜を配し、さらにそれに接して軟磁気特性に優れたNi₈Fe₂合金膜を配置すると、高いスピン偏極度と軟磁気特性とを両立させることができ、好ましい形態であるといえる。なお各々の強磁性層は、膜内に一軸磁気異方性を有していることが望ましい。これによって、急峻な磁化反転を起こすことができるだけでなく、磁化方向を安定して保持することができる。強磁性層への一軸異方性の付与は、例えば磁界中成膜、磁界中熱処理等の方法で実現できる。

【0029】絶縁層に用いる材料としては、Al₂O₃、SiO₂、MgO、B₂O₃、AlN、CaF₂等の誘電体材料を使用することができる。絶縁層の成膜は、スパッタ、真空蒸着、CVD等の直接成膜法に依っても良いし、例えばAl-Hf等の金属を酸素プラズマ、自然酸化等により酸化して形成しても良い。また、

スパッタ等の直接成膜法に酸化処理を組み合わせても良い。

【0030】次に本実施の形態の磁気メモリ装置における記録情報の書き込み動作について説明する。

【0031】以下の説明では、説明を容易にするため図1に示すところの上部強磁性層11/上部絶縁層12/中間強磁性層13からなる強磁性単トンネル接合を第1トンネル接合、中間強磁性層13/下部絶縁層14/下部強磁性層15からなる強磁性単トンネル接合を第2トンネル接合と表記する。さらに第1、第2トンネル接合において両強磁性層の磁化が平行なときの抵抗値を各々R_{1P}、R_{2P}とし、反平行なときの抵抗値を各々R_{1AP}、R_{2AP}と定義する。ここでR_{1AP}>R_{1P}、R_{2AP}>R_{2P}である。ΔR₁=R_{1AP}-R_{1P}、ΔR₂=R_{2AP}-R_{2P}はそれぞれの強磁性トンネル接合の磁気抵抗変化量である。

【0032】図2は、図1に示す多重TMR素子からの出力電圧の磁界応答の測定結果を示している。この多重TMR素子の外形寸法は0.5μm角の矩形である。外部磁界を素子全面に均一に印加し、10μAの定電流を流した際の出力電圧を磁界の関数として測定した。測定は、多重TMR素子に-500Oeの外部磁界を印加して上部強磁性層11、中間強磁性層13及び下部強磁性層15の磁化方向をすべて平行にそろえた後に行った。図2の電圧曲線上に矢印で示すように、磁界Hを負側から正側に掃引する際の電圧-磁界特性には3つの異なる状態が存在する。異なる状態の境界では電圧が大きく変化し、それぞれの境界に対応する磁界の値はそれぞれ15、50、120Oeである。この磁界の値は、メモリセルを構成する多重TMR素子のそれぞれ上部強磁性層11、下部強磁性層15および中間強磁性層13の保磁力（以下順にH_{c1}、H_{c2}、H_{c3}と略記）に相当する。すなわち、図2に3本の矢印の組み合わせで示すように印加磁界Hが、H<H_{c1}では各強磁性層の磁化は紙面左向きに平行に揃っているが、H_{c1}<H<H_{c2}では上部強磁性層11の磁化が反転し、さらにH_{c2}<H<H_{c3}では、下部強磁性層15の磁化も反転する。H_{c3}<Hでは全ての強磁性層の磁化が紙面右向きに平行に揃う。図2に示すように、各強磁性層間の磁化配列の変化によって、多重TMR素子の抵抗値は、R_{1P}+R_{2P}→R_{1AP}+R_{2P}→R_{1AP}+R_{2AP}→R_{1P}+R_{2P}の順に変化する。すなわち電圧特性は、磁化配列に依存した三つの異なるセル抵抗値を反映している。

【0033】図3、図4は、図1に示す多重TMR素子の低磁界での電圧-磁界特性を示している。図3、図4に示す破線は図2に示す電圧-磁界特性をそのまま掲載したものである。図3の実線で示す電圧-磁界特性は、磁界Hを-500Oeから400Oe(<H_{c2})まで掃引した後、-H_{c2}<H<H_{c2}の範囲で掃引を繰り返

して得られた。この磁界領域では、図3に示すように、中間強磁性層13及び下部強磁性層15の磁化は紙面左向きに揃っており、上部強磁性層11の磁化方向のみが変化する。電圧-磁界特性にみられるヒステリシスは上部強磁性層11の磁化過程を反映している。電圧-磁界特性の異なる二つの残留状態は、それぞれ上部強磁性層11の磁化方向が紙面右向きか左向きに対応している。一方、図4の実線で示す電圧-磁界特性は、磁界Hを -5000e から 1000e ($<H_{c3}$)まで掃引した後、 $-H_{c2} < H < H_{c1}$ の範囲で掃引を繰り返して得られた。この磁界領域では、図4に示すように、中間強磁性層13の磁化は紙面左向きに、下部強磁性層15の磁化は紙面右向きに配列しており、図3に示す場合とは下部強磁性層15の磁化方向が異なる。電圧-磁界特性の異なる二つの残留状態は、図3に示す場合と同様それぞれ上部強磁性層11の磁化方向が紙面右向きか左向きに対応している。ただし二つの残留状態での電圧値は図3の場合とは異なっている。

【0034】便宜的に、磁化が紙面左方向を向いている場合を2進数字の“1”、右方向を向いている場合を“0”と定義し、更に上部強磁性層11の磁化方向を2ビット2進数字の上位ビット、下部強磁性層15を下位ビットに対応させて磁化配列を表す。図3、図4で得られた4つの異なる残留磁化状態での磁化配列とセル抵抗値の対応は以下ようになる。

【0035】“11”： $R_1P + R_2P$

“10”： $R_1P + R_2AP$

“01”： $R_1AP + R_2P$

“00”： $R_1AP + R_2AP$

すなわち、本実施の形態の磁気メモリ装置では、多重TMR素子10に異なる4つの磁化配列が存在し、これらの4つの磁化配列に4つの異なるセル抵抗値が一意に対応する。多重TMR素子の4つの磁化配列はいずれも残留磁化状態であり、不揮発性である。このような異なる4つの磁化配列はこれに対応した抵抗状態を実現するためには、多重TMR素子10を構成する上部強磁性層11、中間強磁性層13、下部強磁性層15の間にそれぞれ保磁力差が生じていることが必要である。本実施の形態では、上部強磁性層11、下部強磁性層15が書き込み時にその磁化方向が変化する記録層、中間強磁性層13が書き込み時にその磁化方向が変化しない固着層である。なお本発明はこれに限られるものではなく、上部強磁性層11、中間強磁性層13、下部強磁性層15のうちいずれか2つを情報の記録層とすればよい。この場合、残る1つの強磁性層を固着層として用いる。各強磁性層の保磁力の制御は、強磁性層を構成する材料を変える他、例えば軟質磁性体、若しくは硬質磁性体との積層構造を用いる、膜厚を変える、磁気異方性を付与する、形状磁気異方性を用いる等の様々な手段で実現可能である。

【0036】中間状態である磁化配列“10”の抵抗値と磁化配列“01”の抵抗値の差は、 $(R_1P + R_2AP) - (R_1AP + R_2P) = \Delta R_1 - \Delta R_2$ 、であり、第1トンネル接合と第2トンネル接合の磁気抵抗変化量 ΔR_1 、 ΔR_2 の差を反映する。すなわち、 ΔR_1 、 ΔR_2 がほぼ等しい場合には、磁化配列“10”と、磁化配列“01”の判別は困難となる。従って、異なる4つの磁化配列に対応したセル抵抗値を判別するためには、第1、第2トンネル接合の磁気抵抗変化量 ΔR_1 、 ΔR_2 が異なることが必要である。例えば、 $\Delta R_1 \sim 2\Delta R_2$ であれば、上述の4つの磁化配列に対応したセル抵抗値の差をほぼ均等することができ、好ましい形態である。このような各トンネル接合の磁気抵抗変化量 ΔR_1 、 ΔR_2 の制御は、各トンネル接合の接合面積、トンネル接合を構成する絶縁層の厚さ、性質、また強磁性層の性質を変化させることにより制御可能である。

【0037】なお本実施の形態の多重TMR素子では、磁化配列“10”の抵抗値に比べ磁化配列“01”の抵抗値が低い特性が得られた。これは、本発明における必要条件ではなく、“10”の抵抗値が“01”の抵抗値に比べ高い特性を有していても良い。

【0038】記録情報の書き込みは、上述したように、TMR素子にある所定方向に初期磁化した後、記録情報に対応する磁化配列ができるように正負の磁界掃引を組み合わせて用いればよい。例えば、磁化配列“10”の状態は、負の磁界方向に $H < -H_{c3}$ となる磁界Hを印加して初期磁化を行った後、 $H_{c2} < H < H_{c3}$ の正磁界Hを印加、さらに $-H_{c2} < H < -H_{c1}$ の負磁界Hを印加して磁界を0に戻すことによって得られる。2回目以降の書き換えでは初期磁化は不要である。例えば磁化配列“10”から磁化配列“01”に書き換えるためには $-H_{c3} < H < -H_{c2}$ の負磁界Hを印加して、下部強磁性層15の磁化を紙面左向きにそろえた後、 $H_{c1} < H < H_{c2}$ の正磁界Hを印加して磁界を0に戻せばよい。

【0039】本実施の形態では、中間強磁性層13の磁化方向は紙面左向きにあるとして説明したが、これは、素子の初期磁化状態に依存する。初期磁化後に中間強磁性層13の磁化方向が紙面右向きである場合には、上述の書き込み操作において印加磁界の符号を逆転すればよい。

【0040】以上説明したように、本実施の形態によれば、多重TMR素子10に異なる4つの磁化配列が存在し、これらの4つの磁化配列に4つの異なるセル抵抗値が一意に対応する。この多重TMR素子を各メモリセルに用いれば、1メモリセルに2ビットの記録情報を書込み、保持することが可能である。このため、メモリセルを微細化することなく大きな容量を得ることが可能となる。これにより、高速、低消費電力を実現することができる。

【0041】（第2の実施の形態）本発明による磁気メモリ装置の第2の実施の形態を図5を参照して説明する。図2は、本実施の形態の磁気メモリ装置のメモリセルに用いられる多重TMR素子10の構造を模式的に示した図である。この図2に示す多重TMR素子10は図1に示す多重TMR素子の連続膜からなる中間強磁性層13を、図5に示すように層状に配列した不連続な強磁性微粒子の集合体からなる中間強磁性層13に置換えた構成となっている。

【0042】本実施の形態のように中間強磁性層13が十分に小さな体積の強磁性微粒子から構成されている場合には、量子閉じこめ効果により中間強磁性層13に離散した電子スピンの向きに依存した離散準位が形成される。このようなスピン方向に依存した離散準位が形成されると、離散準位が存在しない場合に比べ大きな抵抗変化率が得られる。また強磁性微粒子の体積が十分小さく、微粒子の帯電エネルギーが常温において観測可能な値となる場合には、いわゆるクーロンブロック効果により、抵抗変化率の増大が生じる。さらに帯電エネルギーが常温より大きい場合、微粒子中にスピン偏極した電子が非平衡的に蓄積されるスピン蓄積効果が生じることが理論的に研究されている。スピン蓄積効果が生じると、抵抗変化率の増大が期待される。このように量子閉じこめ効果、クーロンブロック効果またスピン蓄積効果を積極的に利用できることは大きな利点である。

【0043】次に本実施の形態による多重TMR素子10の製造方法について述べる。下部強磁性層15は膜厚6nmのFe膜と、膜厚3nmのCo₁Fe₁膜との2層膜からなる。下部絶縁層14はAl酸化膜からなり、下部強磁性層15上に膜厚1.0nmのAl₂O₃膜を直接スパッタして形成される。次いで設計質量膜厚1.8nmのCo₃₀Pt₇₀合金膜からなる中間強磁性層13と、膜厚2.5nmのAl₂O₃スパッタ膜である上部絶縁層12が形成される。下部絶縁層14、中間強磁性層13、上部強磁性層は交互スパッタにより一貫して成膜した。中間強磁性層13を粒子状に分断するためには、下部絶縁層14上へ中間強磁性層13を3次元核成長させる必要がある。本実施の形態では、中間強磁性層13の3次元核成長を促進する目的で、成膜時に400Wの高周波バイアス電圧を印加した。また上部絶縁層12によって粒子間を分断させるため、実施例1に比べ上部絶縁層12を厚く堆積している。

【0044】中間強磁性層13を構成する粒子の粒径は、スパッタ時の質量膜厚により制御できる。本実施の形態では、質量膜厚2.3nm以上で中間強磁性層13は連続膜になり、質量膜厚1.8nmで平均粒径5nmの粒子が、質量膜厚1.2nmで平均粒径3nmの粒子がそれぞれ得られた。ただし、後者の平均粒径3nmとした場合、中間強磁性層13は室温では強磁性を示さず、超常磁性的な振る舞いを示した。このため、本実施

の形態では上述のように中間強磁性層13の設計質量膜厚を1.8nmとした。

【0045】上部強磁性層11は膜厚6nmのCo₁Fe₁膜と膜厚12nmのNi₈₂Fe₁₈合金膜との2層膜からなる。上部強磁性層11の成膜後、真空熱処理炉を用いて、5kOeの磁界中で1時間、300℃の磁界中熱処理を行った。

【0046】本実施の形態では、中間強磁性層13が粒子状に分断されているため、（1）第1の実施の形態のように同膜厚の連続膜からなる中間強磁性層13を用いる場合に比べより大きな保磁力、異方性磁界の値が得られるとともに（2）電極のシート抵抗に比べ、接合部の抵抗が小さい場合に生じる電流分布効果を低減することが出来る、等の利点を有している。また粒子状に分断したことにより、粒子の帯電エネルギーを増加させることができ、クーロンブロック効果による磁気抵抗変化率の増大が期待できる。

【0047】また本実施の形態も可及的に大きな容量を得ることができるとともに高速、低消費電力を実現できる。

【0048】（第3の実施の形態）次に本発明による磁気メモリ装置の第3の実施の形態を図6および図7を参照して説明する。図6は本実施の形態の磁気メモリ装置のメモリセルに用いられる多重TMR素子10の構成を模式的に示す図である。

【0049】この図6に示す多重TMR素子10は、上部強磁性層11と、上部絶縁層12と、中間強磁性層13と、下部絶縁層14と、下部強磁性層15とから構成されている。中間強磁性層13は2つの薄い誘電体からなる上部絶縁層12、下部絶縁層14によって挟まれており、各絶縁層12、14を介して上部強磁性層11と中間強磁性層13との間および中間強磁性層13と下部強磁性層15との間にそれぞれトンネル電流が流れるように構成されている。本実施の形態では、図6に示すように、下部強磁性層15の磁化方向が書き込み動作時に一方向に固定されており、固着層の役割を果たしている。

【0050】次に本実施の形態の多重TMR素子10の製造方法について述べる。下部強磁性層15は膜厚5nmのNi₈₂Fe₁₈膜と、膜厚12nmのIrMn膜と、膜厚3nmのCo₁Fe₁膜との3層膜からなる。下部絶縁層14はAl酸化膜からなり、下部強磁性層15上に膜厚1.0nmのAl₂O₃膜を直接スパッタして形成される。次いで膜厚3nmのCo₈₀Pt₂₀合金膜からなる中間強磁性層13と、膜厚1.4nmのAl₂O₃スパッタ膜である上部絶縁層12が形成される。上部強磁性層11は膜厚3nmのCo₁Fe₁膜と、膜厚6nmのNi₈₂Fe₁₈合金膜との2層膜からなる。上部強磁性層11の成膜後、真空熱処理炉を用いて、5kOeの磁界中で1時間、300℃の磁界中熱

処理を行った。

【0051】図7は、図6に示す構造を有する多重TMR素子からの出力電圧の磁界応答を示している。素子の外形寸法は $0.5\mu\text{m}$ 角の矩形である。外部磁界を素子全面に均一に印加し、 $10\mu\text{A}$ の定電流を流した際の出力電圧を磁界の関数として測定した。

【0052】本実施の形態では、下部強磁性層15に反強磁性体薄膜を含んだ3層膜を用いているため、図7のメモリ動作上、接合に印加される磁界範囲では、下部強磁性層15の磁化は一方向に固定される。従って、

(1) 下部強磁性層15の磁化が反強磁性体との交換結合により強制的に一方向に整列しているため、残留磁化状態で、逆磁区がほとんど存在しない。これにより、より高い抵抗変化率を得ることが出来る。(2) 書き込み時において、下部強磁性層15の磁化が回転することがなく、多数回書き込みによって下部強磁性層15の磁化方向が不安定となり出力が低下する問題を防止することが出来る。(3) 下部強磁性層の反転磁界を数kOe以上とすることが容易であり、万が一、製品としての磁気メモリ装置が外部磁界にさらされた場合でも固着層の磁化方向が破壊されないため、その機能を回復させることが出来る、といった利点を有する。また下部強磁性層15の反転磁界の値は、下部強磁性層15を構成する強磁性体膜と反強磁性体膜との交換磁界の強さを制御することにより設計することが可能である。

【0053】なお、本実施の形態では、下部強磁性層15を固着層としたが、上部強磁性層11を固着層としても良いことは言うまでもない。また下部強磁性層15を構成する反強磁性体膜にIrMn膜を用いたが、この薄膜は同等の機能を有する他の材料膜で置き換えることが可能である。そのような材料膜としては例えばFeMn、PtMn、NiMn膜等のMn合金膜の他、NiO、Fe₂O₃が知られている。

【0054】この第3の実施の形態も、可及的に大きな容量を得ることができるとともに、高速、低消費電力を実現することができる。

(第4の実施の形態) 次に本発明による磁気メモリ装置の第4の実施の形態を図8を参照して説明する。図8は本実施の形態の磁気メモリ装置のメモリセルに用いられる多重TMR素子10の構成を模式的に示す図である。

【0055】この図8に示す多重TMR素子10は、上部強磁性層11と、上部絶縁層12と、中間強磁性層13と、下部絶縁層14と、下部強磁性層15とから構成されている。中間強磁性層13は2つの薄い誘電体からなる上部絶縁層12、下部絶縁層14によって挟まれており、各絶縁層12、14を介して上部強磁性層11と中間強磁性層13との間および中間強磁性層13と下部強磁性層15との間にそれぞれトンネル電流が流れるように構成されている。本実施の形態では、図8に示すように、中間強磁性層13は、その磁化方向が反平行結合

した3層の強磁性薄膜と2層の非磁性導電体膜からなる5層膜で構成されており、固着層の役割を果たしている。

【0056】次に本実施の形態の多重TMR素子10の製造方法について詳述する。下部強磁性層15は膜厚6nmのFe膜と、膜厚3nmのCo₁Fe₁膜との2層膜からなる。下部絶縁層14はAl酸化膜からなり、下部強磁性層15上に膜厚0.8nmのAl膜をスパッタ後、分圧1Torr、投入電力200Wの酸素プラズマで60秒間酸化して形成される。酸化後のAl酸化膜厚は断面を透過電子顕微鏡による観察の結果、1.0nmであった。中間強磁性層13は、膜厚3nmのCo膜と、膜厚0.7nmのRu膜と、膜厚3nmのCo膜と、膜厚0.7nmのRu膜と、膜厚3nmのCo膜との5層膜からなり、交互スパッタ法により成膜した。この5層膜は、その磁化が図8に示すように互いに反平行に結合しており、その反転磁界が室温で500Oe以上であることを振動試料型磁力計による測定で確認した。中間強磁性層13の成膜に続いて、下部絶縁層14と同様にスパッタ法によって膜厚1.1nmのAl膜を形成後酸化して膜厚1.4nmの上部絶縁層12が形成される。上部強磁性層11は膜厚3nmのCo₁Fe₁膜と、膜厚6nmのNi₈₂Fe₁₈合金膜との2層膜からなる。上部強磁性層11の成膜後、真空熱処理炉を用いて、5kOeの磁界中で1時間、300℃の磁界中熱処理を行った。

【0057】本実施の形態では、反強磁性結合した強磁性多層膜を用いているため、中間強磁性層13を固着層とすることが出来る。その効果は第3の実施形態とほぼ同等である。しかし、第3の実施形態と比べ、(1) Mn合金膜からなる反強磁性体膜を用いる必要がないため、昇温時におけるMnの拡散の心配がない。(2) 反強磁性体膜を用いる場合に比べ、全体の膜厚をより低減することが出来る、等の利点を有している。

【0058】反強磁性結合した強磁性多層膜としては、上記Co膜とRu膜との積層膜の他、CoFe膜と、Ru、CoFe膜と、Ir膜等の積層膜が挙げられる。

【0059】なお本実施の形態は、中間強磁性層13に反強磁性結合した強磁性多層膜を用いたが、この強磁性多層膜は例えば下部強磁性層15または上部強磁性層11に用いても差し支えない。上下強磁性層15、11に反強磁性多層膜を用いる場合は、これらの多層膜中に含まれる強磁性層は二つでよい。

【0060】この第4の実施の形態も、可及的に大きな容量を得ることができるとともに、高速かつ低消費電力を実現することが出来る。

【0061】(第5の実施の形態) 次に本発明による磁気メモリ装置の第5の実施の形態を図9および図10を参照して説明する。図9は本実施の形態の磁気メモリ装置のメモリセルに用いられる多重TMR素子10の構成

を模式的に示す図である。

【0062】この多重TMR素子10は上部強磁性層11と、上部絶縁膜12と、中間強磁性層13と、下部絶縁層14と、下部強磁性層15とを備えている。

【0063】下部強磁性層15は膜厚6nmのNi₈₂Fe₁₈合金膜と、膜厚3nmのCo₁Fe₁膜との2層膜からなる。下部絶縁層14はAl酸化膜からなり、下部強磁性層15上に膜厚1.0nmのAl₂O₃膜を直接スパッタすることにより形成される。次いで膜厚3nmのCo₈₀Pt₂₀合金膜からなる中間強磁性層13と、スパッタ法により形成された膜厚1.0nmのAl₂O₃膜である上部絶縁層12が形成される。上部強磁性層11の成膜後、真空熱処理炉を用いて、5kOeの磁界中で1時間、300℃の磁界中熱処理を行った。上部強磁性層11は膜厚3nmのCo₁Fe₁膜と、膜厚6nmのNi₈₂Fe₁₈合金膜との2層膜からなる。前述の実施例と異なり、上部絶縁層12、下部絶縁層14の膜厚、また上部強磁性層11、下部強磁性層15の材質、膜厚が等しく製造されていることが大きな特徴である。

【0064】一般にトンネル接合の実効的な接合面積は、トンネルバリア層を挟む二つの電極のうち、どちらか小さい方の面積で決まる。そして接合の抵抗値は接合面積に反比例して増大する。本実施の形態では、上部強磁性層11/上部絶縁層12/中間強磁性層13/下部絶縁層14/下部強磁性層15のうち、上部強磁性層11の面積を他の強磁性層の面積に比べ小さくしている。これにより上、下絶縁層12、14の膜厚が等しい場合にも、上部強磁性層11/上部絶縁層12/中間強磁性層13からなる第1トンネル接合の抵抗値R_{1P}、R_{1AP}に比べ、中間強磁性層13/下部絶縁層14/下部強磁性層15からなる第2トンネル接合の抵抗値R_{2P}、R_{2AP}が小さい素子が得られる。本実施の形態では、多重TMR素子10を構成する多層膜構造を成膜後、上部強磁性層11のみをフォトリソグラフィとイオンミリングの組み合わせにより加工して0.25μm角の矩形に加工し図に示すような素子形状を得た。

【0065】トンネル接合の抵抗値の制御は、接合面積、絶縁層の厚さ、材質を変えることによって行うことができる。ただし、抵抗値は絶縁層の厚さ（バリア厚さ）、絶縁層の材質（バリア高さ）に対して指数関数的に変化するのに比べ、接合面積に対しては反比例して変化する。従って、より正確に抵抗値を制御する目的では、本実施の形態はより好ましい形態であるといえる。

【0066】図10は図9に示す構造を持つ多重TMR素子からの出力電圧の磁界応答を示している。素子の外形寸法は0.5μm角の矩形である。外部磁界を素子全面に均一に印加し、10μAの定電流を流した際の出力電圧を磁界の関数として測定した。

【0067】本実施の形態では、図10に示すように下

部強磁性層15の保持力H_{c2}に比べ上部強磁性層11の保磁力H_{c1}が大きい特性が得られた。これは図9に示すように、上部強磁性層11の一边が下部強磁性層15に比べ小さく加工されているためである。ミクロンからサブミクロンの加工寸法を持つ微小磁性体では、保磁力は加工寸法と材質から決まる磁壁幅との兼ね合いで決まり、一般に寸法の減少とともに保磁力は増加する。また、磁性体の3次元的な形状は、形状磁気異方性定数を通じて磁壁幅を変化させる。従って、本実施の形態のように、多重TMR素子を構成する複数の強磁性層に膜厚、材質、構成が等しいものを用いた場合でも、その形状を制御することで、異なる保磁力を得ることが出来る。

【0068】この第5の実施の形態も、可及的に大きな容量を得ることが出来るとともに、高速・低消費電力を実現することが出来る。

【0069】なお、上記第1乃至第5の実施の形態に係る多重TMR素子は強磁性2重トンネル接合であったが、3重以上の強磁性多重トンネル接合であっても良いことは云うまでもない。

【0070】また上記第1乃至第5の実施の形態においては多重TMR素子の構造を中心にして説明したがこれらの多重TMR素子を用いた磁気メモリ装置の構成を第6の実施の形態として説明する。

【0071】（第6の実施の形態）次に本発明による磁気メモリ装置の第6の実施の形態を図11および図12を参照して説明する。図12は本実施の形態の磁気メモリ装置の一つのメモリセルのレイアウトを示す図であり、図11は図12に示す切断線A-A'でメモリセルを切断したときの断面図を示す。

【0072】この実施の形態の磁気メモリ装置は、複数のメモリセル2を有し、各メモリセルは強磁性多重トンネル接合を有する多重TMR素子10と、選択トランジスタ3とを備えている。

【0073】この選択トランジスタ3と多重TMR素子10は、半導体基板1の主面上に形成される。選択トランジスタ3のゲートとなるワード線4が半導体基板2上に形成されている。そしてこのワード線4の両側の半導体基板1の領域には、選択トランジスタ3のドレイン領域5aおよびソース領域5bが形成されている。なお、ソース領域5bは隣接するセルの選択トランジスタのソース領域にもなっている。

【0074】この選択トランジスタ3上に層間絶縁膜6が形成されており、この層間絶縁膜6内に金属層（セルプレート）9および書き込み線8が形成されている。セルプレート9は層間絶縁膜6に設けられたコンタクト7を介して選択トランジスタ3のドレイン領域5aに接続される。

【0075】セルプレート9上には一端がこのセルプレート9と電気的に接続するように多重TMR素子10が

設けられている。この多重TMR素子10の他端は層間絶縁膜6内に設けられたコンタクト19を介してデータ線20に接続されている。したがって、多重TMR素子10はセルプレート9とデータ線20が交差する、層間絶縁膜6の領域に設けられている。また、データ線20は層間絶縁膜22に覆われている。

【0076】なお図11、12では、書き込み線8を除いた書き込み/読み出し回路は省略されている。ここで省略した書き込み/読み出し回路とそれに付随した周辺回路の構成については、周知の半導体技術、例えばDRAM、強誘電体メモリ等に用いられる公知技術を利用することが出来る。

【0077】また、TMR素子10を除く半導体回路部、周辺回路部の製造に関しては、従来公知の半導体製造技術を利用することができ、その詳細な説明は省略する。

【0078】多重TMR素子への磁界印加は、図11に示す書き込み線8、及びデータ線20に一定電流を流し、これによって両者の交差部分に生じる合成された電流磁界を用いる。書き込み時には、多重TMR素子を経由した短絡電流を防ぐため、選択トランジスタを非導通状態とすることが必要である。電流磁界の値及び極性を変化させるには、書き込み線8、及びデータ線20に流す電流値及びその極性を変化させればよい。

【0079】記録情報の書き込みは、前述したように、多重TMR素子をおる所定方向に初期磁化した後、記録情報に対応する磁化配列ができるように正負の磁界掃引を組み合わせ用いられればよい。例えば、“10”の状態は、負の磁界方向に $H < -H_{c3}$ となる磁界を印加して初期磁化を行った後、 $H < H_{c3}$ の正磁界を印加、さらに $-H_{c2} < H$ の負磁界を印加して磁界を0に戻すことによって得られる。2回目以降の書き換えでは初期磁化は不要である。例えば“10”から“01”に書き換えるためには $-H_{c3} < H < -H_{c2}$ の負磁界を印加して、下部強磁性層15の磁化を紙面左向きにそろえた後、 $H < H_{c2}$ の正磁界を印加して磁界を0に戻せばよい。

【0080】次に記録情報の読み出し動作について説明する。本実施の形態の磁気メモリ装置におけるメモリセル記録情報の読み出しは、図11のデータ線20から多重TMR素子10にセンス電流を流して、トンネル接合における電圧降下をセル出力電圧として検出することによって行う。2ビット記録情報の判別は、記録情報に対応したセル出力電圧の大きさの違いを判別すればよい。

【0081】以下、本実施の形態における2ビット記録情報の判別方法について詳述する。図13は本実施の形態の磁気メモリ装置におけるメモリセル2の配置図を模式的に示したものである。各メモリセル2には、データ線DL0、/DL0(DL0バー)に一方の端子が接続されている。データ線DL0、/DL0には同数のメモリセルが接続されており、対線を構成し、差動アンプ31

に接続されている。各々のデータ線には定電流源32、33が接続されている。各メモリセルは各々一つの多重TMR素子10と、一つの実選択トランジスタ3とを有しており、選択トランジスタ3の一方の電極は図13のPLで示したプレート線に接続している。プレート線の電位はグランド電位でも良いが、他の値を用いることも可能である。選択トランジスタ3のゲートはワード線WLに接続されている。なお図13に示す構造では選択トランジスタ3とデータ線の間に多重TMR素子10が配置されているが、選択トランジスタ3とプレート線の間にTMR素子10を配置することも可能である。

【0082】メモリセル2の記録情報を読み出す際には、まずデータ線DL0及びデータ線/DL0に接続された定電流源32、33をオンし、データ線DL0及び/DL0を一定電圧にプリチャージする。プリチャージ電位 V_p は、例えばダミーセル2a及びダミーセル2bの実選択トランジスタを導通させ、ダミーセルにセンス電流を流すことで実現できる。続いてワード線WLD、/WLDをオフ、ワード線WL1をオンすることで、ダミーセル2aが開放されると同時に、セル2の実選択トランジスタが導通し、データ線DL0の電位は、メモリセル2の多重TMR素子の出力電圧値と等しくなる。図14は、データ線DL0及びデータ線/DL0の電位を比較して示す。本実施の形態では、ダミーセルのセル抵抗値を調整し、プリチャージ電位 V_p が、記録情報“01”と“10”に対応した出力電圧の中間値となるように設定した。ダミーセル中の抵抗素子は、記憶セルと同じ多重TMR素子を用いても良いし、半導体薄膜、金属薄膜からなる抵抗素子を用いても良い。ダミーセルはデータ線に一つあればよく、高集積化の妨げになるものではない。ワード線WL1がオンし、読み出しが開始されると、データ線DL0の電位はセル2の記録情報に対応して4つの異なる電圧値を取る。一方、データ線/DL0の電位はプリチャージ電位 V_p のまま保たれており、結果的に差動アンプ31の出力には、プリチャージ電位 V_p とデータ線DL0の電位との差の電圧が増幅され現れる。このような対線構成と差動アンプを用いた検出方法は、DRAMなどで差動センス方式として多く用いられており、差動アンプ部回路等の周辺回路は公知技術で実現できる。差動センス方式を用いることで、データ線に結合した同相雑音は相殺され、信号ノイズ比の高い検出が実現可能である。

【0083】(第7の実施の形態)また記録情報の読み出しには、電流磁界による磁化反転を併用することも可能である。この場合を第7の実施の形態として図15を参照して説明する。図15には、磁化反転を併用した記録情報読み出し時における、多重TMR素子の磁化配列の変化を示す。本実施の形態では、中間強磁性層13及び下部強磁性層15が情報の記録層である。また多重TMR素子としては、図2に示す電圧-磁界特性を有する

ものを用いた。本実施の形態では、多重TMR素子の基準方位を定めるのは上部強磁性層11であり、上述の第6の実施の形態と異なり、書き込み/読み出し時の磁化が電流磁界により反転する。従って読み出し動作完了後には所定のリフレッシュ動作が必要となる。図15

(a)にはプリチャージ時の磁化配列を示す。磁化反転は図15(b)に示すように書き込み線8に電流を流し電流磁界を生じさせて行う。読み出し動作完了後には、図15(c)に示すように逆方向の電流磁界により磁化方向を初期状態にリフレッシュする。図16は、この上部強磁性層11の磁化反転に伴うデータ線DL0の電圧変化をデータ線/DL0と比較して示した模式図である。プリチャージ電位 V_p は、上部強磁性層11の磁化反転前の“10”、“01”の中間電位とした。磁化反転前には、データ線DL0の電位は、記録情報に対応した4つの異なる電圧値を示す。磁化反転を生じさせると、トンネル接合1の磁化配列が平行から反平行へまたは反平行から平行へ変化する。これによりデータ線DL0には、立ち上がりまたは立ち下りの電圧パルスが生じる。ここでパルスの立ち上がり、立ち下りと、そのプリチャージ電位 V_p に対する極性を組み合わせると、以下に示すように記録情報に対応して4つの異なるパルスが生じていることが分かる。

-【0084】

“11”：極性 負、立ち上がり
 “01”： 負、立ち下がり
 “10”： 正、立ち上がり
 “00”： 正、立ち下がり

すなわち、本実施の形態では記録情報判別に電圧を定量的に検出する必要がなく、その極性弁別と、立ち上がり/立ち下りの区別を行えばよい。従って、例えば電源電圧、データ線電位の変動に対する動作マージンを大きく取ることが可能となり、信号-ノイズ比の高い検出が可能となる。

【0085】第6の実施の形態では、一つの多重TMR素子に一つ選択トランジスタを配した構成を説明した。しかし、本発明の磁気メモリ装置の構成は上記実施の形態に限定されるものではない。すなわち多値記憶を実現させるために必要な絶対要素は、強磁性多重トンネル接合を用いた多重TMR素子であり、多重TMR素子の配列方法、記憶データの読み出し方法、電流磁界の印加方法は、多重TMR素子の出力特性、製造法との整合が取れる範囲で従来公知の技術を用いても何ら差し支えない。図17には、複数の多重TMR素子10を一つのデータ線24に並列に配置した場合のメモリセル配置図を模式的に示したものである。この場合には、個々の多重TMR素子には選択トランジスタが設けられていないため、セル面積を低減させることができる利点を持つ。セル記憶情報の読み出し方法としては、第7の実施の形態で説明した電流磁界併用読み出しを用いればよい。

【0086】また、第6の実施の形態の磁気メモリ装置においては、書き込み線8はセルプレート9の下に設けられていたが、図18に示すようにデータ線20の上に層間絶縁膜22を介して設けても良い。なお、図18において、6aは層間絶縁膜を表わしている。

【0087】

【発明の効果】以上、述べたように本発明によれば、素子加工寸法を微細化することなく、メモリ容量を可及的に大きくすることが可能となり、これにより、素子微細化に伴うTMR素子の素子抵抗の増大、および微細寸法磁性体に特有な不均一な磁化分布による抵抗変化率の減少を防ぐことができ、高速でかつ低消費電力を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる多重TMR素子の構造を示す模式図。

【図2】図1に示す多重TMR素子の磁界-電圧特性を示すグラフ。

【図3】図1に示す多重TMR素子の磁界-電圧特性を示すグラフ。

【図4】図1に示す多重TMR素子の磁界-電圧特性を示すグラフ。

【図5】本発明の第2の実施の形態にかかる多重TMR素子の構造を示す模式図。

【図6】本発明の第3の実施の形態にかかる多重TMR素子の構造を示す模式図。

【図7】図6に示す多重TMR素子の磁界-電圧特性を示すグラフ。

【図8】本発明の第4の実施の形態にかかる多重TMR素子の構造を示す模式図。

【図9】本発明の第5の実施の形態にかかる多重TMR素子の構造を示す模式図。

【図10】図9に示す多重TMR素子の磁界-電圧特性を示すグラフ。

【図11】本発明による磁気メモリ装置の第6の実施の形態の構成を示す断面図。

【図12】第6の実施の形態の磁気メモリ装置のレイアウトを示す平面図。

【図13】本発明による磁気メモリ装置にかかるメモリセル配置を模式的に示した平面図。

【図14】本発明による磁気メモリ装置における記録情報読み出し時における電圧応答を模式的に示した図。

【図15】本発明による磁気メモリ装置における電流磁界を併用した記録情報読み出し時における多重TMR素子の磁化配列を説明した図。

【図16】本発明による磁気メモリ装置における電流磁界を併用した記録情報読み出し時における電圧応答を模式的に示した図。

【図17】本発明の磁気メモリ装置におけるメモリセル配置の一変形例を示した平面図。

【図18】本発明による磁気メモリ装置の第6の実施の形態の変形例を示す断面図。

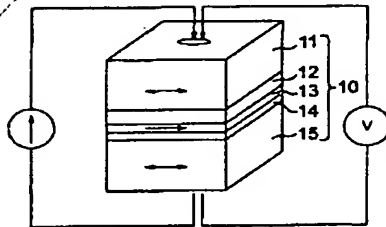
【符号の説明】

- 1 半導体基板
2 メモリセル
2a, 2b ダミーセル
3 選択トランジスタ
4 ゲート電極（ワード線）
5a ドレイン領域
5a ソース領域
6 層間絶縁膜
7 コンタクト
8 書き込み線

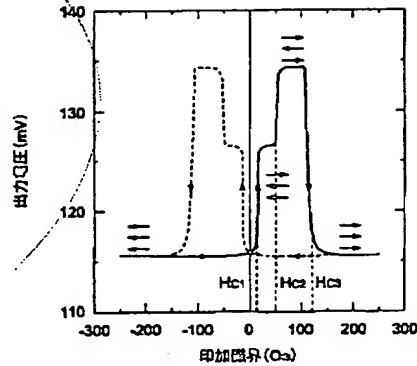
9 セルプレート

- 10 多重TMR素子
11 上部強磁性層
12 上部絶縁層
13 中間強磁性層
14 下部絶縁層
15 下部強磁性層
19 コンタクト
20 データ線
22 層間絶縁膜
31 差動アンプ
32, 33 定電流源

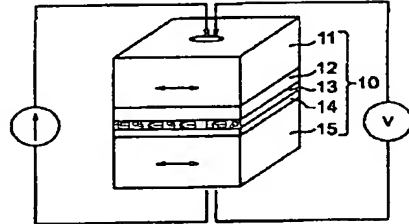
【図1】



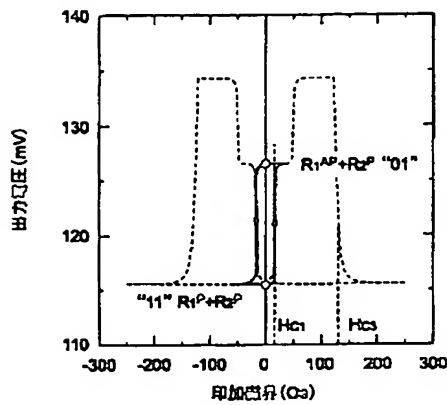
【図2】



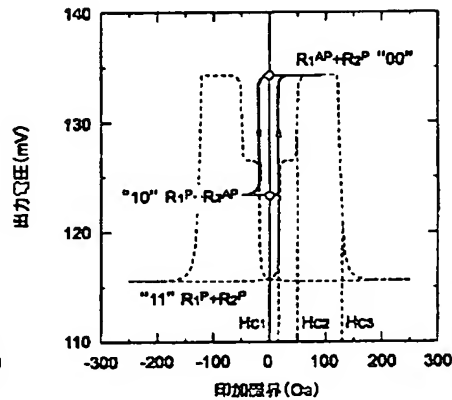
【図5】



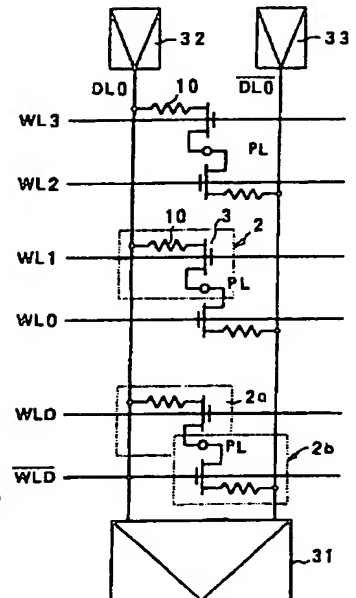
【図3】



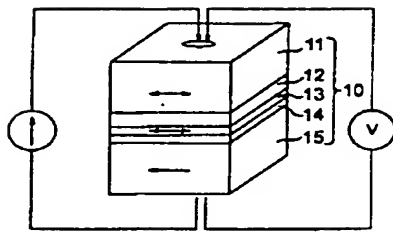
【図4】



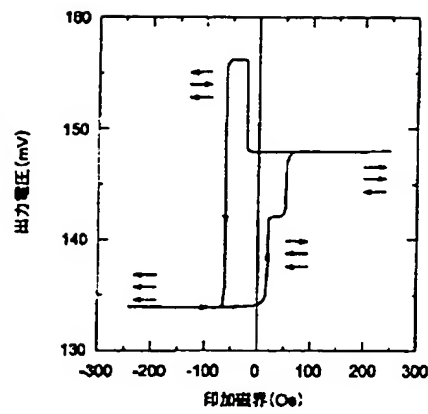
【図13】



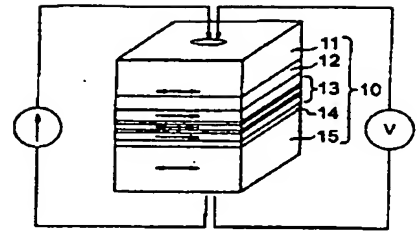
【図6】



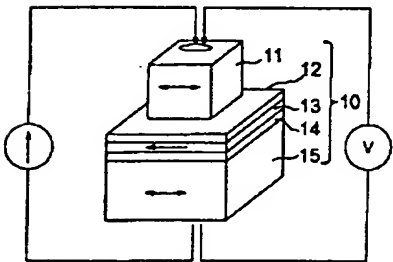
【図7】



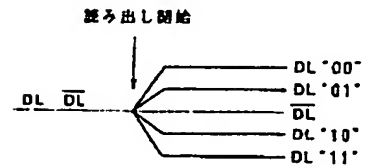
【図8】



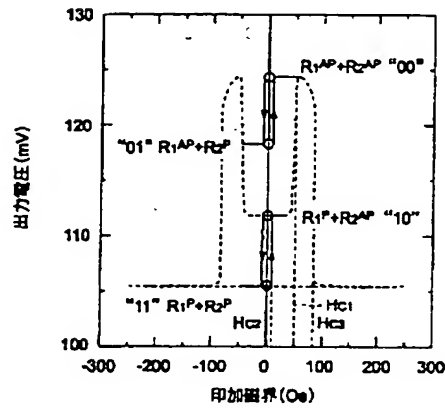
【図9】



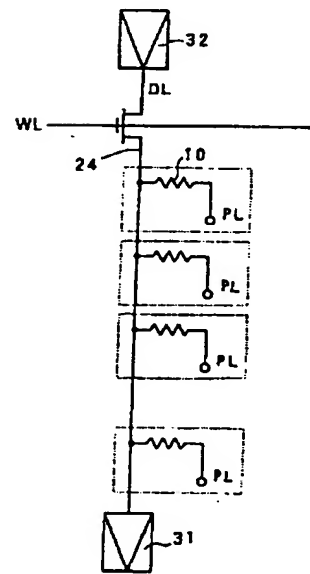
【図14】



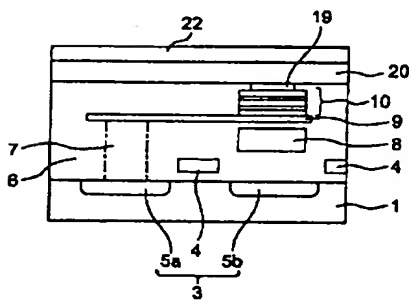
【図10】



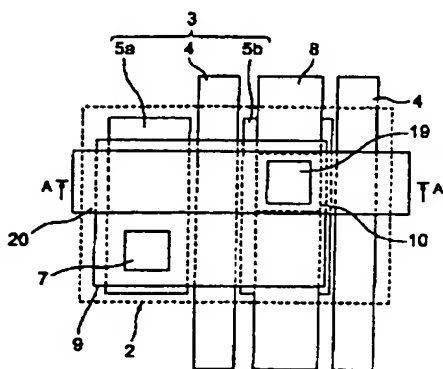
【図17】



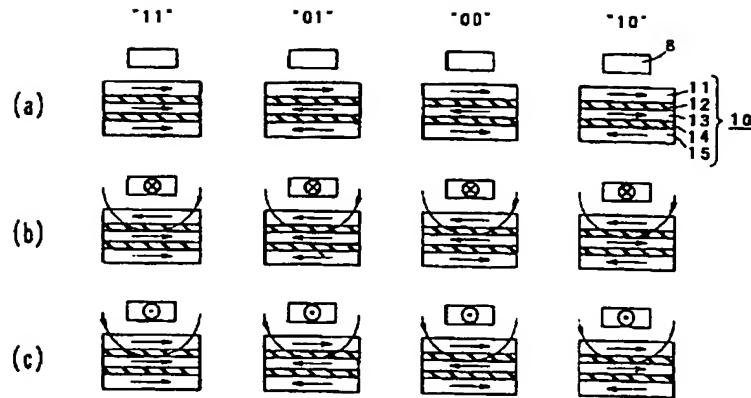
【図11】



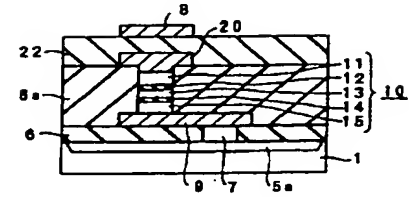
【図12】



【図15】



【図18】



【図16】

